

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/31				
C 2 3 C 16/50				
C 2 3 F 4/00		C 8417-4K		
			H 0 1 L 21/ 31	C
			21/ 90	K
審査請求 未請求 請求項の数3 F D (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平5-339565

(22) 出願日 平成5年(1993)12月3日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 布施 晃広

宮城県名取市高館熊野堂字余方上5-10

リコー応用電子研究所株式会社内

(74) 代理人 弁理士 野口 繁雄

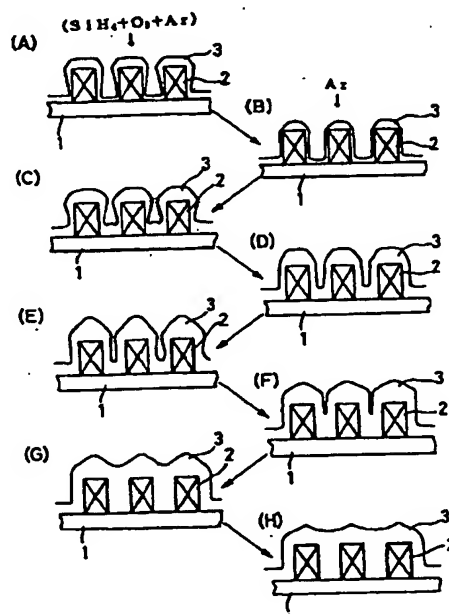
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 バイアスECRプラズマCVD法で、半導体装置に与える損傷を抑え、優れた段差被覆形状を有する信頼性の高い絶縁膜を制御性よく形成する。

【構成】 先ず、成膜原料ガスとアルゴンガスを導入してバイアスECRプラズマCVD工程を所定の時間行ない、(A)のように金属配線2上に多少オーバーハング形状を有するシリコン酸化膜3を形成する。次に、成膜原料ガスの導入を中止し、スパッタエッチング工程を所定時間行ない、シリコン酸化膜3のオーバーハング部を優先的にエッチングして(B)に示されるような形状とする。その後さらにバイアスECRプラズマCVD工程とスパッタエッチングを順次繰り返して、最終的に(H)に示されるように、金属配線2、2間がボイドなく埋め込まれ、平坦化も行なわれた優れた段差被覆形状を有する絶縁膜3を形成する。

(成膜+エッチング) プロセス ニッチングプロセス



【特許請求の範囲】

【請求項1】 基板に高周波バイアスを印加できるECRプラズマCVD法により基板上に絶縁膜を形成する工程を含む半導体装置の製造方法において、絶縁膜を形成する前記工程では、基板に低出力の高周波バイアスを印加しつつ、成膜原料となるガスと、イオン化して陽イオンとなる元素を含むガスとを同時に導入し、成膜と陽イオンによるスパッタエッチングとを同時に行なわせる第1の工程と、基板に低出力の高周波バイアスを印加しつつ、成膜原料となるガスを導入せず、イオン化して陽イオンとなる元素を含むガスのみを導入して陽イオンによるスパッタエッチングのみを行なわせる第2の工程とを繰り返すことを特徴とする半導体装置の製造方法。

【請求項2】 基板に印加する高周波バイアスの電力が50～500Wの範囲内である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の工程の成膜速度をA(A/分)、その第1の工程の1回当りの成膜時間を t_1 (分)とし、前記第2の工程のエッチング速度をB(A/分)、その第2の工程の1回当りのエッチング時間を t_2 (分)としたとき、次の関係式が成り立つように条件を設定する請求項1又は2に記載の半導体装置の製造方法。

$$0.4 \leq A \cdot t_1 / B \cdot t_2 \leq 2.0$$

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置の製造プロセスにおいて層間絶縁膜やパッシベーション膜などの絶縁膜を形成する工程を含む半導体装置の製造方法に関するものである。特に、本発明は半導体集積回路装置の製造プロセスにおいて、層間絶縁膜やパッシベーション膜などの絶縁膜をバイアスECRプラズマCVD法により形成する方法に特徴をもつ半導体装置の製造方法に関するものである。

【0002】

【従来の技術】現在、LSI(大規模集積回路)に代表される半導体装置の製造プロセスにおいて、特に層間絶縁膜やパッシベーション膜の形成手段としてECR(電子サイクロトロン共鳴)プラズマCVD法が積極的に検討されている。ECRプラズマCVD法は低温で膜形成が可能なことや、利用するラジカルやイオンのエネルギーの大きさが揃っていること、また従来の高周波プラズマCVD法に比べてプラズマにより基板が受けるダメージが少なく、さらに高真空領域で膜形成が可能であることなど、多くの利点を備えている。

【0003】また、基板に高周波バイアスを印加し、アルゴンなどのガスを添加して成膜と同時にアルゴンなどのイオンによるスパッタエッチングを起こさせることにより、段差被覆性を向上させたバイアスECRプラズマ

CVD法が提案されている。バイアスECRプラズマCVD法は基板に高周波バイアスを印加し、ECRプラズマによりイオン化された陽イオンを基板近傍に発生したイオンシースによる自己バイアス効果により引き寄せ、陽イオンによるスパッタエッチングの効果を利用する方法である。スパッタエッチングは基板表面の傾斜部においてより顕著に現われることから、絶縁膜のオーバーエッチング部を優先的にエッチングし、金属配線間をボイドなく埋め込む手法として注目されている。

【0004】一般に、バイアスECRプラズマCVD法は成膜とエッチングの同時進行による競争反応である。スパッタエッチングの速度は基板に印加する高周波電力の大きさに比例する。ECRプラズマCVD法の特徴の1つである高い成膜速度に対抗するスパッタエッチング速度を得るため、一般的なバイアスECRプラズマCVD法は、基板に印加する高周波電力が少なくとも600W、通常は1kW程度で使用されている。

【0005】しかし、このような高出力の高周波バイアスを印加すると、段差被覆性は向上しても、高い高周波電力を印加することにより次のような問題が発生する。その1つは、アルゴンイオンなどの陽イオンのスパッタリングにより金属配線そのものがエッチングされてしまい、配線の寿命を低下させるという問題である。他の問題は、絶縁膜表面のチャージアップが起り、基板表面とプラズマの間で局所放電が起り、異物が発生して表面性が著しく低下する点である。これらの問題は積層配線を実現する上では大きな問題となる。また、一般的なバイアスECRプラズマCVD法は、膜形成とスパッタエッチングの同時進行による競争反応であるため、その条件設定が難しいという問題点も挙げられる。

【0006】これらの問題点を解決する方法として次の方法が提案されている。絶縁膜形成の初期過程は高周波バイアスを印加しないか、又は低出力の高周波バイアスを印加して金属配線に損傷を与えないようにし、その後はより高出力の高周波バイアスを印加して絶縁膜の形成を行なう(特開平3-280539号公報参照)。しかし、その方法によれば、金属配線への損傷は確かに避けられるものの、より高出力の、例えば出力600Wの高周波バイアスを印加しての絶縁膜形成工程では、絶縁膜表面でのチャージアップは避けられず、局所放電による異物の発生や絶縁破壊の問題がある。

【0007】別の提案として、基板に高周波バイアスを印加せず、またアルゴンガスなどのスパッタリングガスとなるガスを導入しないで成膜のみを行なう工程と、高周波バイアスを印加し、アルゴンなどの陽イオンでスパッタエッチングのみを行なう工程とを繰り返す方法が提案されている(特開平3-52232号公報参照)。しかし、その方法は、成膜工程とスパッタエッチング工程を分離して、成膜のみの工程とスパッタエッチングのみの工程とを繰り返す方法であるため、成膜とスパッタエ

ッチングの同時進行による段差被覆性の向上というバイアスECRプラズマCVD法の特徴を全く利用していない。そのため、次のような問題が発生する。一般にECRプラズマCVD法の場合、基板に高周波バイアスを印加しないで成膜を行なうと、金属配線上の絶縁膜形状はオーバーハング形状となることはよく知られており、このオーバーハング形状が金属配線間のスペースのボイドの原因となる。ECRプラズマCVD法の場合は、一般にその成膜速度が大きく、シリコン酸化膜で数1000Å/分～数μm/分の値である。したがって、半導体装置の素子寸法及び金属配線の微細化が進むにつれて、オーバーハング形状によるボイドの発生という問題は、絶縁膜形成開始後のごく短時間のうちに決定的となり、その後にスパッタエッチングを行なってもボイドの解消は不可能となる。この問題を解決するには、成膜工程開始後のごく僅かの時間、例えば成膜速度が1μm/分、デザインルールのライン・アンド・スペース(L/S)が0.5μm/0.5μmの場合では10～20秒程度の時間を制御下におくことが必要となるが、プラズマ状態の不安定さからいっても再現性が低く、非常に不安定なプロセスになるという問題がある。

【0008】

【発明が解決しようとする課題】本発明は以上に述べたような問題点を解決するために、バイアスECRプラズマCVD法の特徴を有しつつ、しかも半導体装置に与える損傷を抑え、優れた段差被覆形状を有する信頼性の高い絶縁膜を制御性よく形成することを特徴とするものである。

【0009】

【課題を解決するための手段】本発明は、絶縁膜を形成する工程では、基板に低出力の高周波バイアスを印加しつつ、成膜原料となるガスと、イオン化して陽イオンとなる元素を含むガスとを同時に導入し、成膜と陽イオンによるスパッタエッチングとを同時に行なわせる第1の工程と、基板に低出力の高周波バイアスを印加しつつ、成膜原料となるガスを導入せず、イオン化して陽イオンとなる元素を含むガスのみを導入して陽イオンによるスパッタエッチングのみを行なわせる第2の工程とを繰り返すことを特徴とする半導体装置の製造方法である。これにより、バイアスECRプラズマCVDプロセスによる成膜と、陽イオンによるスパッタエッチングのプロセスを繰り返すことによって、半導体装置に与える損傷を抑え、金属配線間をボイドなしに埋め込み、かつ優れた段差被覆性を有する絶縁膜を形成する。

【0010】好ましい態様では高周波バイアスの電力を50～500Wに設定する。本発明での好ましい条件は、第1の工程の成膜速度をA(A/分)、その第1の工程の1回当りの成膜時間を t_1 (分)とし、第2の工程のエッチング速度をB(A/分)、その第2の工程の1回当りのエッチング時間を t_2 (分)としたとき、次

の関係式が成り立つように設定する。

$$0.4 \leq A \cdot t_1 / B \cdot t_2 \leq 2.0$$

【0011】本発明に用いるECRプラズマCVD装置は、基板に高周波バイアスを印加できるECRプラズマCVD装置である。一般に用意されている高周波電源はその出力が1kW以上の能力を有するものが多いが、本発明では低出力の高周波バイアスで効果が得られるので、高々500Wクラスの高周波電源を用意すればすむ。

【0012】本発明においてスパッタエッチング用として用いるガスはイオン化して陽イオンとなる元素を含むガスであれば使用可能であり、通常はスパッタ効率や取扱いの容易さからいってAr(アルゴン)ガスを選ぶのが最も適切である。He(ヘリウム)もまたイオン化してHeイオンを供給するので、単体で、又はArガスとの混合ガスとして使用することができる。絶縁膜形成用に用いる原料ガスは、形成する膜がシリコン酸化膜の場合はシラン(SiH_4)と酸素が好ましく、また形成する膜がシリコン窒化膜の場合はシランと窒素が好ましい。

【0013】

【実施例】図1に本発明に従ってシリコン酸化膜を形成したときのプロセスを工程順に示す。成膜原料ガスとしてシランと酸素を用い、またスパッタリング用のガスとしてアルゴンを用いた。図中で(A)、(C)、(E)、(G)は成膜原料ガスとスパッタリング用ガスをともに導入して行なう、いわゆるバイアスECRプラズマCVD工程後の形状を示している。一方、(B)、(D)、(F)、(H)はスパッタリング用ガスのみを導入して行なうスパッタエッチング工程後の形状を示している。両工程での基板に印加する高周波バイアスの出力は250Wとした。

【0014】先ず、バイアスECRプラズマCVD工程を所定の時間行なうと、(A)のように、基板1上の金属配線2上のシリコン酸化膜3は多少オーバーハング形状を有するものとなる。通常のバイアスECRプラズマCVDではこのようなオーバーハング形状が発生しないように高出力の高周波バイアスを印加するが、本発明では後にスパッタエッチング工程を有するため、多少のオーバーハング形状は許容できる。

【0015】次に、成膜原料ガスの導入を中止し、スパッタエッチング工程に移る。スパッタエッチング工程を所定時間行なったときの形状は、オーバーハング部が優先的にスパッタエッチングされ、その結果(B)に示されるような形状となる。その後さらにバイアスECRプラズマCVD工程を行なうと、(C)に示される形状となり、その後さらにスパッタエッチングを行なうと(D)に示される形状となる。

【0016】このようにバイアスECRプラズマCVD工程とスパッタエッチング工程を順次繰り返していくこ

とによって、最終的には(H)に示されるように、金属配線2、2間がボイドなく埋め込まれ、平坦化も行なわれた優れた段差被覆形状を有する絶縁膜3が形成される。このように、バイアスECRプラズマCVD工程とスパッタエッチングを繰り返すことにより、低出力の高周波バイアスであっても優れた段差被覆性を有する絶縁膜が半導体装置に与える損傷を抑えながら形成させることができる。

【0017】(実施例1) 4インチの単結晶シリコンウエハ上に既知の方法によりアルミニウム薄膜を約9000Åの厚さに形成し、写真製版とエッチングによりライン・アンド・スペース(L/S)=0.7μm/0.7μmにパターン化したものを基板とした。バイアスECRプラズマCVD及びスパッタエッチングの条件は以下の通りである。

【0018】バイアスECRプラズマCVD工程

SiH₄流量: 10 sccm

O₂流量: 15 sccm

Ar流量: 20 sccm

スパッタエッチング工程

Ar流量: 20 sccm

両工程とも圧力は1mTorr、基板温度は150℃、マイクロ波電力は700W、高周波(13.56MHz)電力は250Wである。

【0019】各工程の条件をこのように設定し、バイアスECRプラズマCVD工程の単位時間を3分間、スパッタエッチング工程の単位時間を5分間とし、またそれらを交互に繰り返す繰返し回数を8回とした。その結果、金属配線間をボイドなく埋め込んで、かつ表面性も平坦なシリコン酸化膜が得られた。

【0020】(実施例2) 実施例1と同様であるが、基板のライン・アンド・スペース(L/S)=0.5μm

/0.5μmとし、バイアスECRプラズマCVD工程の単位時間を2分間、スパッタエッチング工程の単位時間を6分間とし、繰返し回数を8回とした。その結果、金属配線間をボイドなく埋め込んで、かつ表面性も平坦なシリコン酸化膜が得られた。

【0021】第1の工程、すなわちバイアスECRプラズマCVD工程の成膜速度をA(A/分)、その1回当りの成膜時間、すなわち第1の工程の単位時間をt₁(分)とする。第2の工程、すなわちスパッタエッチング工程のエッチング速度をB(A/分)、その1回当りのエッチング時間、すなわち第2の工程の単位時間をt₂(分)とする。

【0022】図2に、基板に印加する高周波バイアスの出力を変化させながら、バイアスECRプラズマCVD法によりシリコン酸化膜を成膜したときの成膜速度を示す。高周波バイアス電力が0のときの成膜速度はバイアスを印加しない場合の成膜速度であり、約800A/分である。一方、高周波バイアス電力を250W印加した場合の成膜速度Aは、グラフから約600A/分と読み取ることができる。また、この結果から、高周波バイアスを250W印加することによって得られる見掛けのエッチング速度Bは、

$$800 - 600 = 200 \text{ (A/分)}$$

と考えられる。ここで、第1の工程の成膜速度Aと単位時間t₁との積A・t₁と、第2の工程のエッチング速度Bと単位時間t₂との積B・t₂との比A・t₁/B・t₂によって両工程の繰返し周期を評価する。

【0023】実施例1及び2を含み、さらに条件を変えて測定を行ない、金属配線間にすきなく埋め込めるかどうかを評価した結果を表1に示す。

【0024】

【表1】

条件	A・t ₁ /B・t ₂	L/S =0.7/0.7(μm)	L/S =0.5/0.5(μm)
(5, 3)×5	5.0	×	×
(4, 4)×6	3.0	×	×
(3, 5)×8	1.8	○	×
(2, 6)×8	1.0	○	○
(1, 7)×10	0.4	○	○

【0025】条件の欄で、例えば(5, 3)×5は第1の工程の単位時間が5分、第2の工程の単位時間が3分、繰返し回数が5回であることを示している。ライン・アンド・スペース(L/S)は小さい方が良好な絶縁

膜の形成が難しく、表中の○は金属配線間の層間膜にすきなく埋込みができた結果を示し、×印はすきが発生した結果を示している。

【0026】

【発明の効果】本発明によれば低出力の高周波バイアスによるバイアスECRプラズマCVD工程とスパッタエッチング工程を繰り返すことにより、半導体装置に与える損傷を抑えることができ、金属配線間をボイドなく埋め込んで、かつ表面性も平坦な、段差被覆性に優れた絶縁膜を得ることができる。また、本発明の工程はバイアスECRプラズマCVD工程とスパッタエッチング工程であり、それぞれの時間と繰返し回数という制御しやすいパラメータを最適化することにより、種々の配線寸法に対応することができるので、再現性も得られやすく、制

御性に優れている。

【図面の簡単な説明】

【図1】一実施例におけるシリコン酸化膜形成工程を示す工程断面図である。

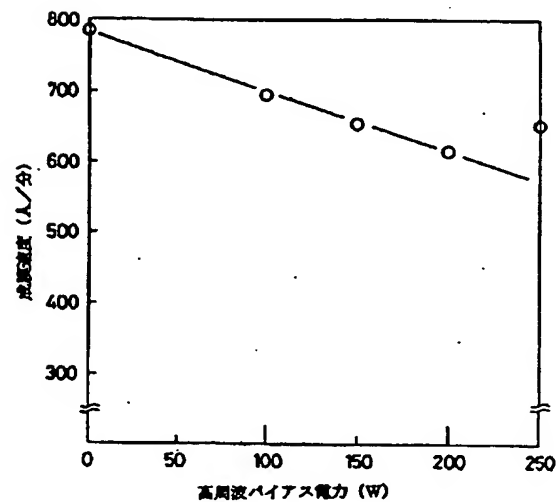
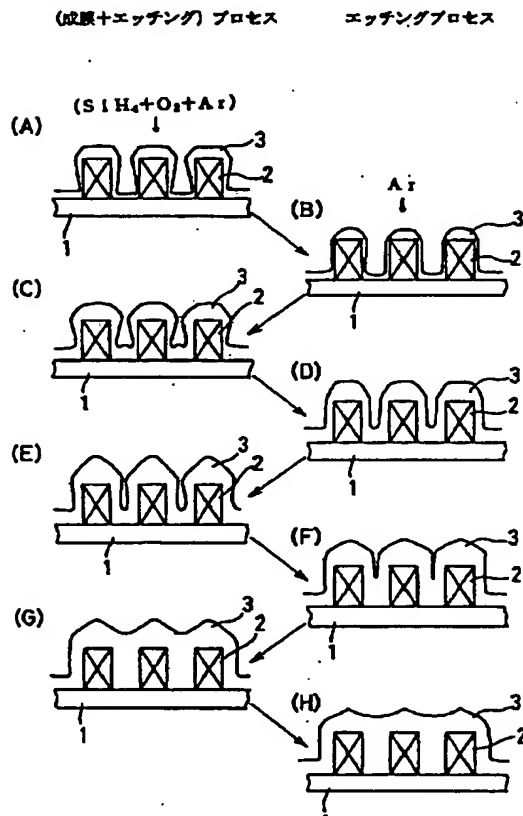
【図2】一実施例における高周波バイアス電力に対する成膜速度を示す図である。

【符号の説明】

- 1 シリコン基板
- 2 金属配線
- 3 シリコン酸化膜

【図1】

【図2】



【手続補正書】

【提出日】平成6年9月2日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正内容】

【請求項3】 前記第1の工程の成膜速度をA (Å/分)、その第1の工程の1回当たりの成膜時間をt₁ (分)とし、前記第2の工程のエッチング速度をB

(Å/分)、その第2の工程の1回当たりのエッチング時間をt₂ (分)としたとき、次の関係式が成り立つように条件を設定する請求項1又は2に記載の半導体装置の製造方法。

$$0.4 \leq A \cdot t_1 / B \cdot t_2 \leq 2.0$$

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】また、基板に高周波バイアスを印加し、アルゴンなどのガスを添加して成膜と同時にアルゴンなどのイオンによるスパッタエッチングを起こさせることにより、段差被覆性を向上させたバイアスECRプラズマCVD法が提案されている。バイアスECRプラズマCVD法は基板に高周波バイアスを印加し、ECRプラズマによりイオン化された陽イオンを基板近傍に発生したイオンシースによる自己バイアス効果により引き寄せ、陽イオンによるスパッタエッチングの効果を利用する方法である。スパッタエッチングは基板表面の傾斜部においてより顕著に現われることから、絶縁膜のオーバーエッチング部を優先的にエッチングし、金属配線間をボイド（本明細書では「空隙」の意味で使用している）なく

埋め込む手法として注目されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】好ましい態様では高周波バイアスの電力を50～500Wに設定する。本発明での好ましい条件は、第1の工程の成膜速度をA（A/分）、その第1の工程の1回当りの成膜時間を t_1 （分）とし、第2の工程のエッチング速度をB（A/分）、その第2の工程の1回当りのエッチング時間を t_2 （分）としたとき、次の関係式が成り立つように設定する。

$$0.4 \leq A \cdot t_1 / B \cdot t_2 \leq 2.0$$

フロントページの続き

(51)Int. Cl.⁶

H01L 21/768

識別記号

庁内整理番号

FI

技術表示箇所

AI

Japanese Kokai Patent Application No. Hei 7[1995]-161703

Job No.: 598-89232

Ref.: 016301-047200US

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 7[1995]-161703

Int. Cl. ⁶ :	H 01 L 21/31 C 23 C 16/50 C 23 C 4/00 H 01 L 21/90 21/768
Sequence Nos. for Office Use:	8417-4K
Filing No.:	Hei 5[1993]-339565
Filing Date:	December 3, 1993
Publication Date:	June 23, 1995
No. of Claims:	3 (Total of 6 pages; FD)
Examination Request:	Not filed

SEMICONDUCTOR DEVICE MANUFACTURING METHOD

Inventor:	Akihiro Fuse Ricoh Applied Electronics Research Laboratory, Ltd. 5-10 Yogataue, Aza, Kumanodo, Takadachi, Natori-shi, Miyagi-ken
Applicant:	000006747 Ricoh Co., Ltd. 1-3-6 Nakamagome, Ota-ku, Tokyo
Agent:	Shigeo Noguchi, patent attorney

[Attached amendments have been incorporated into text of translation]

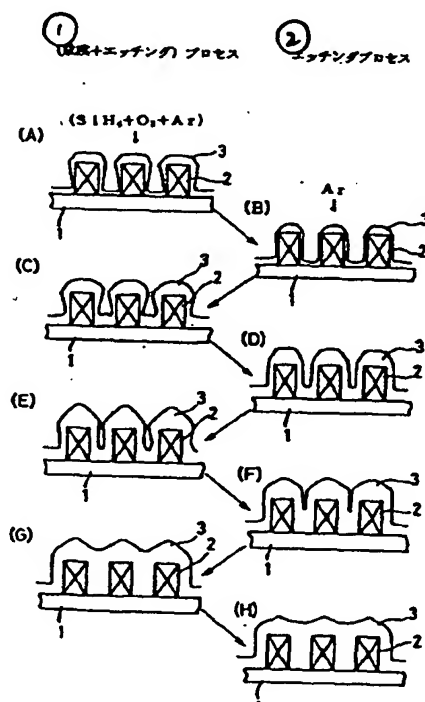
Abstract

Objective

The objective of the present invention is to form an insulating film with good reliability and excellent step coverage and controllability and with reduced damage to the semiconductor device by means of the bias ECR plasma CVD method.

Constitution

First, film-forming supply gas and argon gas are supplied, and bias ECR plasma CVD operation is performed for a prescribed period of time to form silicon oxide film (3) with a certain amount of overhang on metal wiring (2) as shown in (A). Then, the supply of the film-forming supply gas is stopped, and the sputter-etching operation is performed for a prescribed time, with the overhang of silicon oxide film (3) selectively etched to form the shape shown in (B). Then, further bias ECR plasma CVD operation and sputter-etching are carried out repeatedly, so that finally, as shown in (H), insulating film (3) that buries the portion between metal wiring portions (2), (2) free of voids and planarized to have excellent step coverage is formed.



Key: 1 (Film-formation + etching) process
2 Etching process

Claims

1. A semiconductor device manufacturing method characterized by an operation for forming an insulating film on a substrate using ECR plasma CVD wherein an RF bias is applied to the substrate, and the following two steps are carried out repeatedly during said operation for forming the insulating film:

a first step in as while a low-power RF bias is applied to the substrate, a film-forming supply gas and a gas containing an element that forms cations during ionization are fed in at the same time, so that film formation and sputter-etching by the cations are carried out at the same time; and

a second step in which, as a low-power RF bias is applied and the film-forming supply gas is not supplied, only the gas containing an element that forms cations in during ionization is supplied to perform only sputter-etching.

2. The semiconductor device manufacturing method described in Claim 1 characterized by the fact that the RF bias power applied to the substrate is in the range of 50-500 W.

3. The semiconductor device manufacturing method described in Claim 1 or 2 characterized by the fact that if the film-formation rate in said first step is A (Å/min), the film forming time for each cycle of said first step is t_1 (min), the etching rate of said second step is B (Å/min), and the etching time for each cycle of said second step is t_2 (min), then the following relationship is established by selecting the conditions appropriately:

$$0.4 \leq A \cdot t_1 / B \cdot t_2 \leq 2.0$$

Detailed explanation of the invention

[0001]

Industrial application field

The present invention pertains to a semiconductor device manufacturing method, in which a process for forming an insulating film, such as interlayer insulating film or passivation film, etc., is included in the manufacturing process of a semiconductor integrated circuit. In particular, the present invention pertains to a semiconductor device manufacturing method characterized by the fact that during the manufacturing process of semiconductor integrated circuit, said interlayer insulating film, passivation film, or other insulating film is formed by means of bias ECR plasma CVD.

[0002]

Prior art

At present, in the manufacturing process of LSI (large-scale integrated circuit) and other semiconductor devices, extensive studies are being made on using ECR (Electron Cyclotron Resonance) plasma CVD as a means of forming interlayer insulating films or passivation films. The ECR plasma CVD method has many advantages. For example, it allows film formation at a low temperature, and the magnitude of the energy of the radicals and ions used in this method is constant. Also, compared with conventional RF plasma CVD, there is less damage to the substrate under the plasma. In addition, it allows film formation in the high-vacuum region.

[0003]

Also, a bias ECR plasma CVD has been proposed. In this method, as an RF bias is applied to the substrate, argon gas or another gas is added to perform sputter-etching when the film is formed. As a result, step coverage is improved. In the bias ECR plasma CVD method, an RF bias is applied to the substrate, and the cations formed by ionization in ECR plasma are attracted by the self-bias effect due to the ion sheath generated near the substrate, and the effect of sputter-etching with the cations is exploited. Because the sputter-etching appears significantly in the slope portion of the surface of the substrate, the overhang of the insulating film is selectively etched, so that the regions between the metal wiring can be embedded without voids. Consequently, this method has attracted much attention.

[0004]

Usually, bias ECR plasma CVD pertains to competing reactions since film formation and etching are carried out at the same time. The sputter-etching rate is proportional to the magnitude of the RF power applied to the substrate. A characteristic feature of ECR plasma CVD is that it can realize a sputter-etching rate that can counter the high film-formation rate. Consequently, usually, in the bias ECR plasma CVD, the RF power applied to the substrate is at least 600 W, usually about 1 kW.

[0005]

However, although such a high RF bias improves the step coverage, such an application of high RF power leads to the following problems. First, due to the sputtering of argon ions and other cations, the metal wiring itself is etched, so that the service life of the metal wiring is reduced. Also, the surface of the insulating film becomes charged, so that the localized discharge between the surface of the substrate and the plasma takes place, leading to the generation of foreign particles and significant degradation of the surface. These are significant problems

confronting the formation of laminated wiring. Also, usually, in the bias ECR plasma CVD method, because film formation and sputter-etching are carried out at the same time and are competing reactions, it is difficult to set the operating conditions appropriately.

[0006]

In order to solve the aforementioned problems, several methods have been proposed. Japanese Kokai Patent Application No. Hei 3[1991]-280539 proposed a method in which during the initial stage of insulating film formation, the RF bias is not applied, or only a low-power RF bias is applied, so that no damage to the metal wiring takes place, followed by application of a high-power RF bias to form the insulating film. However, although this method can reliably avoid damage to the metal wiring, during the insulating film formation step, when an even higher RF bias, e.g., 600 W, is applied, the surface of the insulating film inevitably becomes charged, and localized discharge leads to generation of foreign particles and breakdown of the insulation.

[0007]

Another method, disclosed in Japanese Kokai Patent Application No. Hei 3[1991]-52232 proposes a method in which, first, no RF bias is applied to the substrate, and argon or another sputtering gas is not supplied so that only film formation is carried out. Then, an RF bias is applied and argon or another cation containing gas is used to perform sputter-etching, which processes are carried out repeatedly. However, because the film formation step and the sputter-etching step are performed separately and repeatedly in this method, the characteristic feature of the bias ECR plasma CVD, that is, improvement of step covering by means of simultaneous film-formation and sputter-etching, cannot be exploited at all. Consequently, the following problems arise. Usually, it is well known that in the case of ECR plasma CVD, when the film is formed without applying an RF bias to the substrate, the insulating film formed on the metal wiring will be deposited with an overhang. This overhang is a major cause of voids in regions between the metal wiring parts. In the case of ECR plasma CVD, usually, the film-formation rate is high. It may be in the range of several thousand Å/min to several µm/min. Consequently, with progress in developing finer semiconductor device elements and metal wiring, the problem of the generation of voids due to overhang becomes a dominant factor in a very short time after the start of the insulating film. Even when sputter-etching is later carried out, the voids still cannot be eliminated. In order to solve this problem, if, e.g., the film-formation rate is 1 µm/min and the line-and-space (L/S) of the design rule is 0.5 µm/0.5 µm, then the time after the start of the film-formation must be controlled to about 10-20 sec. However, since the plasma state is unstable and regeneration is poor, the process becomes more unstable, which is undesirable.

[0008]

Problems to be solved by the invention

The objective of the present invention is to solve the aforementioned problems of the conventional methods by providing a method for manufacturing semiconductor device characterized by the fact that while the characteristic features of the bias ECR plasma CVD method are maintained, an insulating film with high reliability is formed with good controllability, excellent step coverage, and suppression of damage to the semiconductor device.

[0009]

Means to solve the problems

The present invention pertains to a semiconductor device manufacturing method characterized by the fact that in the semiconductor device manufacturing method, which includes an operation for forming an insulating film on a substrate using ECR plasma CVD that can apply an RF bias to the substrate, the following two steps are carried out repeatedly during said operation for forming the insulating film: a first step in which while a low-power RF bias is applied to the substrate, a film-forming supply gas and a gas containing an element that forms cations during ionization are supplied at the same time, so that the film formation and sputter-etching by the cations are carried out at the same time; and a second step in which while a low-power RF bias is applied, while the film-formation supply gas is not introduced, only the gas containing the element that forms cations during ionization is supplied to perform only sputter-etching.

[0010]

In a preferable embodiment, the power of the RF bias applied to the substrate is in the range of 50-500 W. As far as the preferred conditions for the present invention are concerned, if the film-formation rate during said first step is A ($\text{\AA}/\text{min}$), the film-formation time for each cycle of said first step is t_1 (min), the etching rate of said second step is B ($\text{\AA}/\text{min}$), and the etching time for each cycle of said second step is t_2 (min), the following relationship is established by selecting the conditions appropriately:

$$0.4 \leq A \cdot t_1 / B \cdot t_2 \leq 2.0$$

[0011]

The ECR plasma CVD apparatus used in the present invention is an ECR plasma CVD apparatus that allows application of an RF bias to the substrate. Although the conventionally prepared RF power source has an output that can go to 1 kW or even higher, according to the

present invention, a low-power RF bias is used. Consequently, an RF power source of up to 500 W is sufficient.

[0012]

According to the present invention, the gas used for sputter-etching may be any gas that contains an element which can be ionized to form cations. Usually, Ar (argon) gas is selected because it has a high sputtering efficiency and can be handled easily. Because He (helium) may also be ionized to provide He ions, it may be used by itself or mixed with Ar gas. As far as the supply gas for forming the insulating film is concerned, when the film to be formed is silicon oxide film, silane (SiH_4) and oxygen are preferred. On the other hand, when the film to be formed is silicon nitride film, silane and nitrogen are preferred.

[0013]

Application examples

Figure 1 illustrates the processing steps for forming a silicon oxide film according to the present invention. In this example, silane and oxygen are used as film-formation gas, and argon is used as the gas for sputtering. In this figure, (A), (C), (E) and (G) illustrate the shape after the so-called bias ECR plasma CVD step in which both the film forming supply gas and sputtering gas are introduced. On the other hand, (B), (D), (F) and (H) illustrate the shape after the sputter-etching step in which only the sputtering gas is fed in. In both steps, the output of the RF bias applied to the substrate is 250 W.

[0014]

First, when the bias ECR plasma CVD step is carried out for a prescribed time, as shown in (A), silicon oxide film (3) with a certain amount of overhang is formed on metal wiring (2) on substrate (1). In the conventional bias ECR plasma CVD, in order to avoid the generation of this overhang, a high-power RF bias is applied. However, in the present invention, since there is a subsequent sputter-etching step, a certain amount of overhang can be tolerated.

[0015]

The introduction of the film-formation gas is then stopped, and the sputter-etching step is initiated. After the sputter-etching step is performed for a prescribed length of time, the overhang is selectively sputter-etched, resulting in the shape shown in (B). After bias ECR plasma CVD step is carried out, the shape appears as shown in (C). Sputter-etching is then carried out, and the shape appears as shown in (D).

[0016]

In this way, since the bias ECR plasma CVD and sputter-etching processing steps are performed repeatedly in that order as shown in (H), insulating film (3) that buries up the portion between metal wiring parts (2), (2) without voids, and is flattened to produce excellent step coverage is formed. In this way, since bias ECR plasma CVD and sputter-etching steps are performed repeatedly, even with a low-power RF bias, an insulating film with excellent step coverage can still be formed with reduced damage to the semiconductor device.

[0017]

Application Example 1

On a 4-inch single crystal silicon wafer, a thin aluminum film with a thickness of about 9000 Å was formed using a conventional method. By means of photolithography and etching, a pattern with line-and-space (L/S) of 0.7 µm/0.7 µm was formed on the substrate. The conditions for bias ECR plasma CVD and sputter-etching were the following.

[0018]

Bias ECR plasma CVD step

Flow rate of SiH₄: 10 sccm

Flow rate of O₂: 15 sccm

Flow rate of Ar: 20 sccm

Sputter-etching step

Flow rate of Ar: 20 sccm

In both processing steps, the pressure was set to 1 mtorr, the substrate temperature was set to 150°C, the microwave power was 700 W, and the RF (13.56 MHz) power was 250 W.

[0019]

The conditions for the various processing steps were selected as follows. The unit time for each cycle of the bias ECR plasma CVD step was 3 min, the unit time for each cycle of the sputter-etching step was 5 min, and these steps were performed alternately, 8 cycles each. As a result, a silicon oxide film embedded between the metal wiring parts without voids and with a flat surface was obtained.

[0020]

Application Example 2

The operation was performed in the same way as in Application Example 1, except that the line-and-space (L/S) of the substrate was selected as $0.5\ \mu\text{m}/0.5\ \mu\text{m}$, the unit time for each cycle of the bias ECR plasma CVD step was 2 min, the unit time for each cycle of the sputter-etching step was 6 min, and these steps were performed alternately, 8 cycles each. As a result, a silicon oxide film embedded between the metal wiring parts without voids and with a flat surface was obtained.

[0021]

In the first step, that is, the bias ECR plasma CVD step, the film-formation rate was $A\ (\text{\AA}/\text{min})$, and the film-formation time for each cycle of operation, that is, the unit time of the first processing step, was $t_1\ (\text{min})$. In the second step, that is, the sputter-etching step, the film-formation rate was $B\ (\text{\AA}/\text{min})$, and the film-formation time for each cycle of operation, that is, the unit time for the second processing step was $t_2\ (\text{min})$.

[0022]

Figure 2 is a diagram illustrating the film-formation rate of silicon oxide film formed using the bias ECR plasma CVD method while the RF bias power applied to the substrate was changed to different levels. When the RF bias power is 0, the film-formation rate is about $800\ \text{\AA}/\text{min}$. On the other hand, film-formation rate A , when an RF bias power of about 250 W is applied, is about $600\ \text{\AA}/\text{min}$, as can be read from the graph. From this result, one can see that when an RF bias of 250 W is applied, the obtained apparent etching rate B is $800-600 = 200\ (\text{\AA}/\text{min})$.

Here, the repeating periods of the two steps are evaluated by means of the ratio of product $A \cdot t_1$ (where A represents the film-formation rate of the first step, and t_1 represents its unit time) to product $B \cdot t_2$ (where B represents the film-formation rate of the second step, and t_2 represents its unit time), $A \cdot t_1 / B \cdot t_2$.

[0023]

With Application Examples 1 and 2 included, conditions were further changed to perform measurements. The regions between metal wiring parts were examined to determine the presence of voids. The results are listed in Table I.

[0024]

Table 1

①条件	$A \cdot t_1 / B \cdot t_2$	L/S $=0.7/0.7(\mu m)$	L/S $=0.5/0.5(\mu m)$
(5, 3)×5	5.0	×	×
(4, 4)×6	3.0	×	×
(3, 5)×8	1.8	○	×
(2, 6)×8	1.0	○	○
(1, 7)×10	0.4	○	○

Key: 1 Condition

[0025]

In the conditions column, for example, (5, 3)×5 means that the unit time of the first step is 5 min, the unit time of the second step is 3 min, and the repetition cycle number is 5. The smaller the line-and-space (L/S), the more difficult it is to form a good insulating film. In the table, a O indicates that the interlayer film is well embedded between metal wiring portions without voids, and an X indicates that voids are present.

[0026]

Effect of the invention

According to the present invention, the bias ECR plasma CVD at low-power RF bias and the sputter-etching processing steps are carried out repeatedly. As a result, it is possible to suppress damage to the semiconductor device when an insulating film with a flat surface and excellent step coverage is formed to bury the regions between metal wiring parts without voids. Also, according to the present invention, the operation is composed of repeated ECR plasma CVD and sputter-etching steps. By controlling the length of time and number of cycles, it is possible to optimize the parameters to form various wiring dimensions. Consequently, the regeneration property is good, and controllability is also excellent.

Brief description of the figures

Figure 1 presents cross-sectional views illustrating the processing steps for forming a silicon oxide film in an application example of the present invention.

Figure 2 is a diagram illustrating the film-formation rate versus RF bias power in an application example of the present invention.

Explanation of symbols

- 1 Silicon substrate
- 2 Metal wiring
- 3 Silicon oxide film

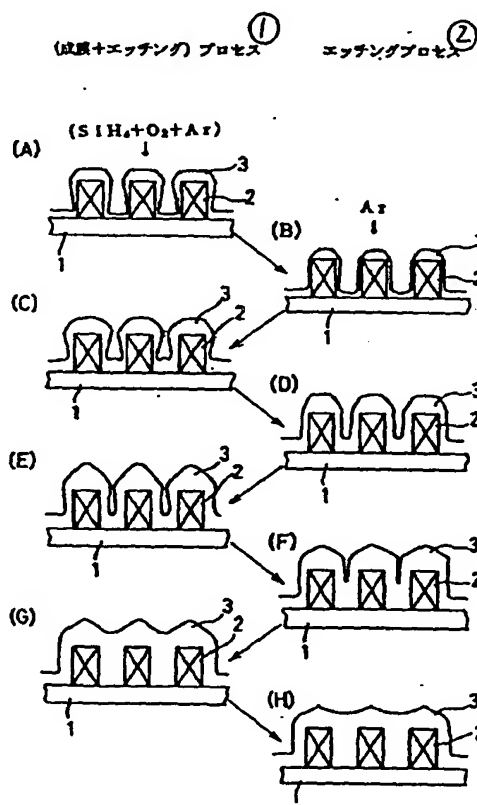


Figure 1

- Key: 1 (Film-formation + etching) process
2 Etching process.

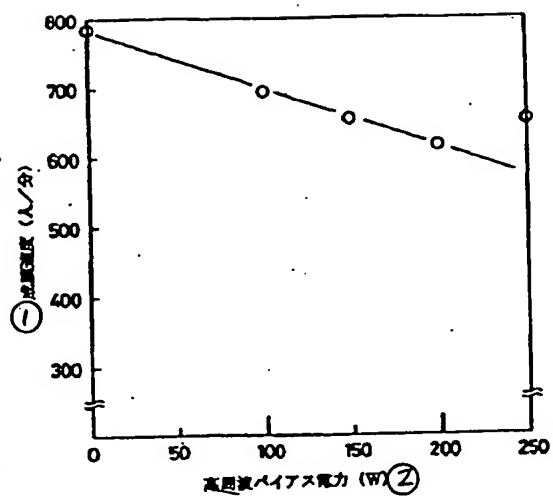


Figure 2

Key: 1 Film-formation rate (Å/min)
2 RF bias power (W)